

LE5010/5110 DATASHEET

日期

2019-05-20

修订记录

版本	修订日期	修订说明	作者
V1.0	2019-5-2	初始版本	jxjin
V1.1	2020-4-7	更新 SOP16 引脚图	jxjin

CONFIDENTIAL

目 录

内容目录

1.1	概述.....	5
1.2	系统框图.....	7
1.3	引脚图.....	8
1.4	直接存储访问控制器（DMA）.....	10
1.5	独立看门狗（IWDG）.....	11
1.6	窗口看门狗（WWDG）.....	11
1.7	通用 IO 端口控制（GPIO）.....	12
1.8	外设互联（PIS）.....	12
1.9	椭圆曲线加密（ECC）.....	13
1.10	加密处理（CRYPT）.....	13
1.11	真随机数发生器（TRNG）.....	13
1.12	运算加速器（CALC）.....	14
1.13	高级定时器（ADTIM）.....	14
1.14	通用 32/16 位定时器（GPTIMA/B）.....	15
1.15	通用定时器（GPTIMC）.....	15
1.16	基本定时器（BSTIM）.....	16
1.17	低功耗定时器（LPTIM）.....	16
1.18	模数转换控制器（ADC）.....	17
1.19	实时时钟器(RTC).....	17
1.20	集成内部总线接口(I2C).....	18
1.21	串行外设接口 1(SPI1).....	19
1.22	串行外设接口 2(SPI2).....	19
1.23	通用异步收发器(UART).....	20
1.24	音频接口（PDM）.....	22
1.25	外置闪存控制器（LSQSPI）.....	22
1.26	蓝牙（BLE）.....	22

图目录

图 1-1 系统框图.....	7
图 1-2 SOP16 封装.....	8
图 1-3 QFN32 封装.....	9
图 1-4 QFN48 封装.....	10
图 1-5 SOP16 外形图.....	23
图 1-6 QFN32 外形图.....	23
图 1-7 QFN48 外形图.....	24

CONFIDENTIAL

1.1 概述

- ◆ 蓝牙 BLE5.0 / BLE5.1
 - 支持 125Kbps/500Kbps/1Mbps/2Mbps
 - 接收灵敏度: -99.7dBm @1Mbps
-96dBm @2Mbps
-105dBm @125kbps
 - 发送功率: +12dBm (最大)
 - 链路增益: 117dB @125kbps (最大)
 - 支持 Single-Ended Antenna Output
- ◆ 蓝牙 MESH
 - 支持 Bluetooth SIG Mesh
 - 支持私有 MESH
- ◆ MCU 内核
 - 32 位 CPU 内核
 - 最高频率可达 64MHz
 - 最大 64kB Data SRAM 存储
 - 最大 512kB Data Flash 存储
 - 支持双线调试协议
- ◆ 系统功耗
 - RX 模式: 4.5mA @3.3V
 - TX 模式: 4.3mA @3.3V 0dBm
 - 深度睡眠模式 0: 1.9uA (RAM 保持+RTC 唤醒)
 - 深度睡眠模式 1: 1.2uA (RAM 保持+GPIO 唤醒)
 - 深度睡眠模式 3: 0.7uA (RTC 唤醒)
 - ShutDown 模式: 50nA (GPIO 唤醒)
- ◆ 电源、复位
 - 主电源域(VDD33)
 - 工作电压范围: $1.8V \leq VDD33 \leq 3.6V$
 - POR,BOR,LVD
- ◆ 时钟
 - 外部高速晶体振荡器: 16MHz
 - 内部高速 RC 振荡器: 24MHz
 - 外部低速晶体振荡器: 32.768KHz
 - 内部低速 RC 振荡器: 32KHz
- ◆ 系统外设

- DMA: 支持 8 个多路复用通道
- 看门狗定时器: IWDG 和 WWDG
- 外设互联 PIS
- 系统节拍定时器
- ◆ 安全及运算加速单元
 - ECC 椭圆曲线加密 (256)
 - AES 高级加密 (256/192/128)
 - T/DES 高级加密 (192/128/64)
 - 真随机数发生器 (TRNG)
 - 运算加速器 (CALC)
- ◆ 定时器
 - 1 个高级 16 位定时器 (ADTIM), 支持 4 组 PWM, 其中 3 组支持死区互补
 - 1 个通用 32 位定时器 A (GPTIMA), 支持 4 路 PWM
 - 1 个通用 16 位定时器 B (GPTIMB), 支持 4 路 PWM
 - 1 个通用 16 位定时器 C (GPTIMC), 支持 2 组 PWM, 其中 1 组支持死区互补
 - 1 个基本定时器 (BSTIM)
 - 1 个低功耗定时器 (LPTIM)
- ◆ 实时时钟器 RTC
 - 支持高精度硬件温补
- ◆ 模数转换 ADC
 - 12 位高精度 SAR ADC
 - 最大支持 9 路外部通道
 - 支持 3 路内部通道
 - 内置温度传感器
 - 1/8, 1/4, 1/2, 3/8 VDD
 - 内部 1.4V 参考
- ◆ 通信接口
 - 2 路 I2C 接口 (支持总线仲裁)
 - 2 路 SPI 接口
 - 3 路 UART (可支持 ISO7816, LIN, IrDA 等)
- ◆ 音频接口
 - 2 路 PDM 接口, 支持数字 MIC
 - 1 路 I2S 接口
- ◆ 通用 IO
 - 最大支持 33 个通用 IO

1.2 系统框图

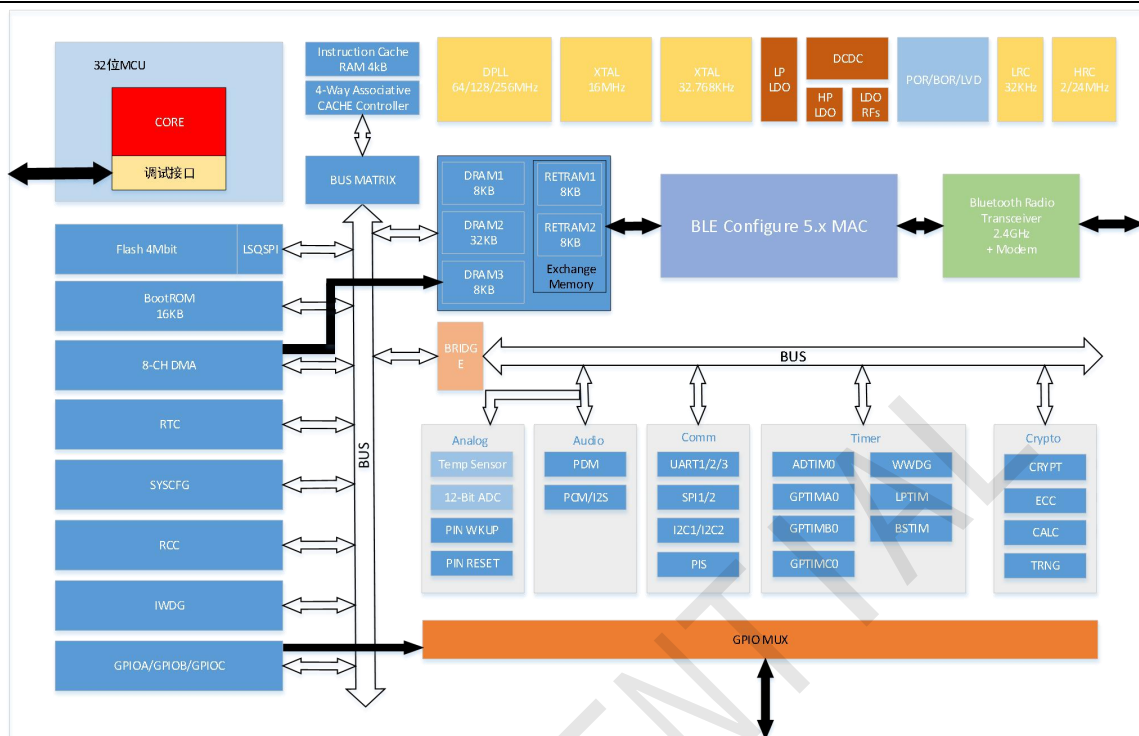


图 1-1 系统框图

1.3 引脚图

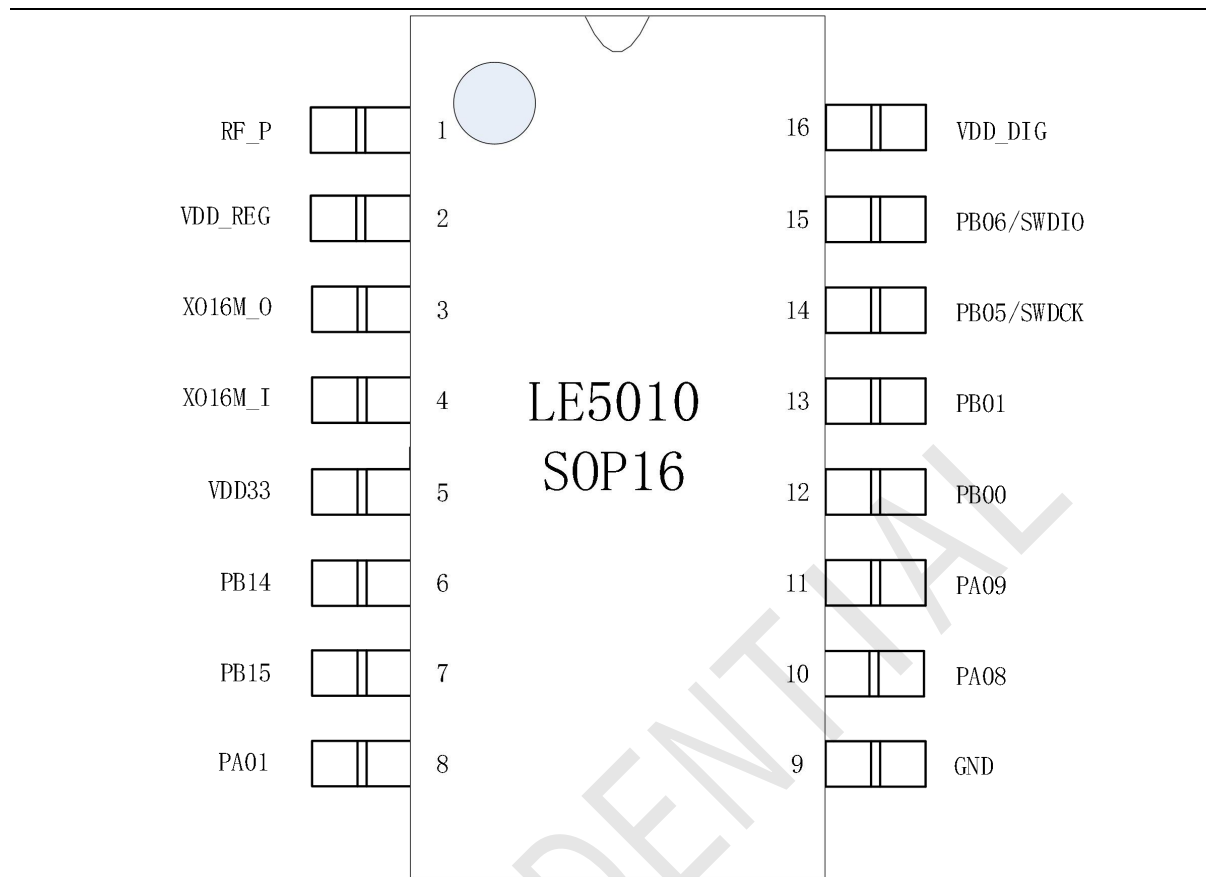


图 1-2 SOP16 封装

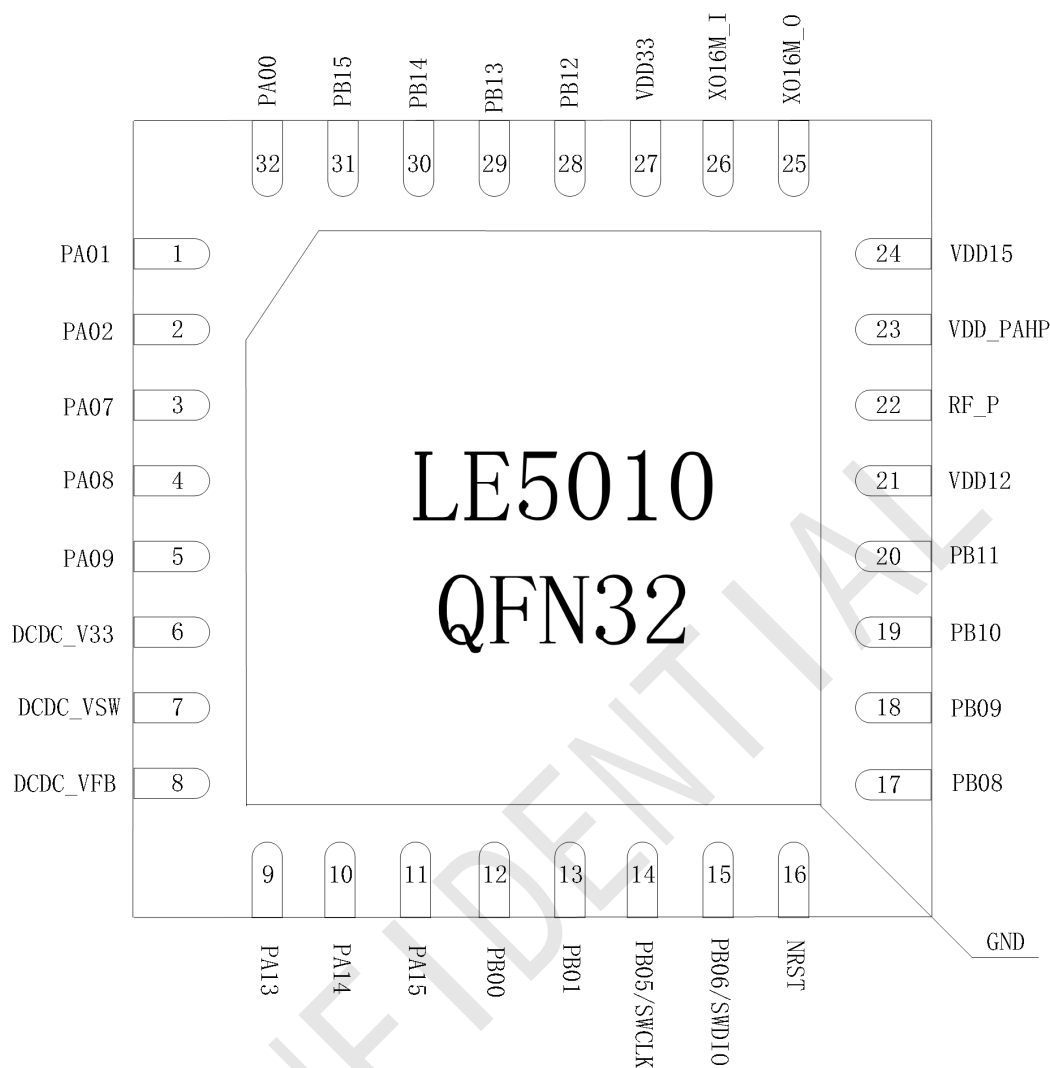


图 1-3 QFN32 封装

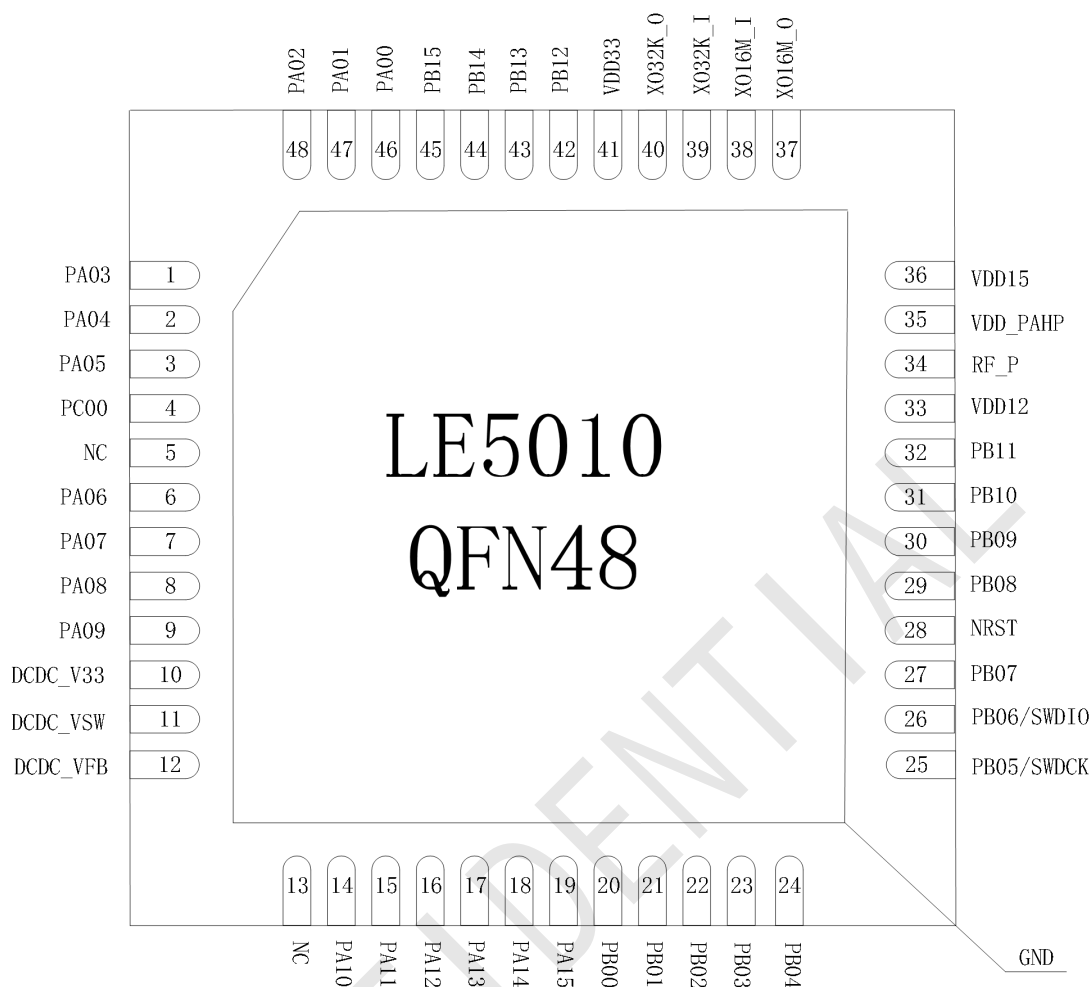


图 1-4 QFN48 封装

1.4 直接存储访问控制器（DMA）

DMA 控制器可独立于 CPU 对内部存储进行操作，利用 DMA 可很好的减轻 CPU 的负担并且节省功耗。每个 DMA 通道可选择芯片上的任意外设资源，实现数据的搬运、传输及控制。

功能如下：

- ◆ 支持 8 个独立 DMA 通道
- ◆ 每个 DMA 通道都有独立握手信号
- ◆ 每个 DMA 通道的优先级可编程
- ◆ 每个优先级仲裁使用由 DMA 通道号决定的固定优先级
- ◆ 支持多种传输类型：
 - 内存到内存

- 内存到外设
- 外设到内存
- ◆ 支持多种 DMA 循环类型
- ◆ 支持多种 DMA 传输数据位宽
- ◆ 每个 DMA 通道都可以访问 primary 和 alternate 通道控制数据结构
- ◆ 所有通道控制数据以小端格式存储在系统内存中
- ◆ 单个 DMA 周期内传输数量可以编程（从 1 到 1024）
- ◆ 传输地址增量可以大于数据宽度
- ◆ 可以指示总线上发生的错误

1.5 独立看门狗（IWDG）

独立看门狗 IWDG，当硬件使能时，时钟强制为独立的 32KHz LRC 时钟，可用于检测软件和硬件异常，如主时钟停振，程序跑飞不再喂狗等。

功能如下：

- ◆ 支持硬件使能和关闭看门狗
 - 芯片配置位 CFG_WDTEN 位配置为 1，则硬件使能 IWDG
 - 芯片配置位 CFG_WDTEN 位配置为 0，则通过软件可使能 IWDG
 - 硬件使能后不可通过软件关停
 - 硬件使能后 IWDG 时钟强制为 32KHz LRC 时钟
- ◆ IWDG 溢出时间可设定
 - 写入 IWDG_LOAD 寄存器将重新加载看门狗
 - 溢出时产生 IWDG 复位
- ◆ IWDG 中断可唤醒 STOP1、2 模式
- ◆ 在 Debug 时进入 halting mode 时，由 IWDG_DBGEN 关停或使能 IWDG（默认为使能），此时原来的控制信号 EN 不起作用

1.6 窗口看门狗（WWDG）

窗口看门狗 WWDG，对于过早或过晚喂狗都将产生 WWDG 复位，可用于检测软件没有喂狗或在禁止喂狗区内喂狗行为，防止程序跑至不可控状态。

功能如下：

- ◆ 支持设定喂狗禁止区
 - 通过 WDTWIN 设置喂狗禁止区
 - WDTWIN 寄存器设定为 11 时，任何区域喂狗不产生复位
 - 喂狗禁止区喂狗产生 WWDG 复位
 - 喂狗禁止区后产生 WWDG 中断
 - WWDG 中断可用作喂狗请求

- ◆ 安全可靠
 - 当 CFG_WWDTEN 为 1 时，一旦软件使能，则只能通过复位关断
- ◆ WWDT 溢出长度可设定
 - 可通过 WWDT_LOAD 寄存器设定
 - 溢出时产生 WWDT 复位
- ◆ WWDT 中断可用作喂狗请求，不能唤醒 STOPx 模式
- ◆ 在 Debug 时进入 halting mode 时，由 WWDT_DBGGEN 关停或使能 WWDT（默认为使能），此时原来的控制信号 EN 不起作用

1.7 通用 IO 端口控制（GPIO）

每个通用 GPIO 端口包含 16 个独立的引脚。这些引脚可单独配置为输入或输出。每个引脚可额外地可配置为开漏输出或带滤波输入模式，配置为输出时可选择每个引脚的驱动强度。

GPIO 引脚可复用为外设功能端口，例如 PWM 输出口或 UART 通信口，每个外设均支持复用到多个引脚上。GPIO 端口支持最多 16 个异步外部中断，可被配置到任何一个 IO 引脚上。并且，GPIO 端口支持通过 PIS 触发其他外设。

功能如下：

- ◆ 可配置为输入或输出
- ◆ 输出模式可配置
 - 推挽/开漏
 - 上拉/下拉
- ◆ 输入模式
 - 端口浮空
 - 上拉/下拉
 - 模拟端口
- ◆ 支持端口输出数据的复位/置位，可按位操作
- ◆ 支持复用为外设功能端口
- ◆ 输出驱动能力可配置：四种驱动能力选择
- ◆ 支持 16 个外部输入中断
- ◆ 支持端口配置写保护功能

1.8 外设互联（PIS）

PIS 在微控制器中作为外设互联的桥接口使用，利用 PIS 可实现外设之间的相互触发，控制及自动化工作，提高系统的实时性和快速响应能力，可避免占用过多的 CPU 资源并简化软件工作，为各种应用提供便捷。

功能如下：

- ◆ 最多支持 8 个 PIS 通道选择
- ◆ 支持同步和异步通道选择

- ◆ 支持信号有效边缘选择
- ◆ 支持通道输出到管脚

1.9 椭圆曲线加密（ECC）

椭圆曲线加密（Elliptic Curve Cryptography），简称 ECC，是基于椭圆曲线数学理论实现的一种非对称加密算法。相比 RSA，ECC 优势是可以使用更短的密钥，来实现与 RSA 相当或更高的安全。

1.10 加密处理（CRYPT）

硬件加密模块主要用于由硬件对数据进行加密或解密操作，支持的标准有 AES、DES。

AES（Advanced Encryption Standard）是最新的分组对称密码算法，兼容联邦信息处理标准出版物（FIPS PUB 197，2001 年 11 月 26 日）规定的高级加密标准（AES）。

DES（Data Encryption Standard）是应用非常广泛的对称密码算法，兼容联邦信息处理标准出版物（FIPS PUB 46-3，1999 年 10 月 25 日）规定的加密标准（DES）和三重 DES（TDES），遵循美国国家标准协会（ANSI）X9.52 标准。

功能如下：

- ◆ 适用于 AES、DES 和 TDES 加密和解密操作
- ◆ AES
 - 支持 128、192 和 256 位的密钥
 - 支持 ECB、CBC 模式
 - 支持 1、8、16 或 32 位数据交换
- ◆ DES/TDES
 - 支持 ECB、CBC 模式
 - 支持 64、128 和 192 位密钥
 - 支持在 CBC 模式下使用的 4×32 位初始化向量（IV）
 - 支持 1、8、16 或 32 位数据交换
- ◆ 支持直接存储器访问（DMA）（用于传入数据和读出已处理数据）
- ◆ 支持产生 CPU 中断请求

1.11 真随机数发生器（TRNG）

真随机数发生器（TRNG）可生产 1 位串行真随机数或 8/16/32 位并行真随机数

功能如下：

- ◆ 支持可编程的随机数位宽
- ◆ 支持可编程的种子值
- ◆ 支持随机性修正模式

- ◆ 支持随机序列错误检测

1.12 运算加速器 (CALC)

运算加速器 (CALC) 可以执行平方根和除法的运算加速。

功能如下：

- ◆ 支持最大 32 位无符号数平方根运算
- ◆ 支持最大 32 位有符号数或无符号数除法运算
- ◆ 支持使用 DMA 写数据执行运算操作

1.13 高级定时器 (ADTIM)

高级控制定时器(ADTIM)由一个 16 位的自动装载计数器组成，它由一个可编程的预分频器驱动。它适合多种用途，包含测量输入信号的脉冲宽度（输入捕获），或者产生输出波形（输出比较、PWM、嵌入死区时间的互补 PWM 等）。

使用定时器预分频和 RCC 时钟控制预分频器，可以实现脉冲宽度和波形周期从几个微秒到几个毫秒的调节。

功能如下：

- ◆ 16 位递增、递减、递增/递减自动重载计数器。
- ◆ 16 位可编程预分频器，用于对计数器时钟频率进行分频（即运行时修改），分频系数介于 1 到 65536 之间。
- ◆ 多达 4 个独立通道，可用于：
 - 输入捕获
 - 输出比较
 - PWM 生成（边沿和中心对齐模式）
 - 单脉冲模式输出
- ◆ 带可编程死区的互补输出。
- ◆ 使用外部信号控制定时器且可实现多个定时器互连的同步电路。
- ◆ 重复计数器，用于仅在给定数目的计数器周期后更新定时器寄存器。
- ◆ 用于将定时器的输出信号置于复位状态或已知状态的断路输入。
- ◆ 发生如下事件时生成中断/DMA 请求：
 - 更新：计数器上溢/下溢、计数器初始化（通过软件或内部/外部触发）
 - 触发事件（计数器启动、停止、初始化或通过内部/外部触发计数）
 - 输入捕获
 - 输出比较
 - 断路输入

- ◆ 支持定位用增量（正交）编码器和霍尔传感器电路。
- ◆ 外部时钟触发输入或 cycle-by-cycle 电流管理

1.14 通用 32/16 位定时器（GPTIMA/B）

通用定时器(GPTIMA/B)由一可编程预除器驱动之 32/16 位自动重载计数器构成。

其亦可用于多种用途，包含测量输入信号脉冲长度(输入捕获)或产生输出波形(输出比较,PWM)

可使用定时预除器与系统时钟控制预除器来调校脉冲长度与波形周期，由数微秒至数毫秒。

功能如下：

- ◆ 32/16 位递增、递减、递增/递减自动重载计数器。
- ◆ 16 位可编程预分频器，用于对计数器时钟频率进行分频（即运行时修改），分频系数介于 1 到 65536 之间。
- ◆ 多达 4 个独立通道，可用于：
 - 输入捕获
 - 输出比较
 - PWM 生成（边沿和中心对齐模式）
 - 单脉冲模式输出
- ◆ 同步化电路可控制定时器含外部信号与链接数个定时器。
- ◆ 发生如下事件时生成中断/DMA 请求：
 - 更新：计数器上溢/下溢、计数器初始化（通过软件或内部/外部触发）
 - 触发事件（计数器启动、停止、初始化或通过内部/外部触发计数）
 - 输入捕获(捕获寄存器)
 - 输出比较(计数寄存器配对比较寄存器)
- ◆ 支持定位用增量（正交）编码器和霍尔传感器电路。
- ◆ 外部时钟触发输入或 cycle-by-cycle 电流管理

1.15 通用定时器（GPTIMC）

通用定时器(GPTIMC)由一可编程预除器驱动之 16 位自动重载计数器构成。

其亦可用于多种用途，包含测量输入信号脉冲长度(输入捕获)或产生输出波形(输出比较,PWM,互补 PWM 含 dead-time 插入)

可使用定时预除器与系统时钟控制预除器来调校脉冲长度与波形周期，由数微秒至数毫秒。

功能如下：

- ◆ 16 位上数自动加载计数器
- ◆ 16 位可编程预除器其计数器时钟频率允许被 1 与 65536 间之任何因子除(于运行中)
- ◆ 高达两个独立信道

- 输入捕获
- 输出比较
- PWM 产生(边缘与中央对齐模式)
- 单触发模式输出
- ◆ 互补输出可编程 **dead-time** 寄存器
- ◆ 同步化电路可控制定时器含外部信号与链接数个定时器
- ◆ 重复计数器用于更新定时寄存器，仅于计数器周期之已定义编号后可作用
- ◆ 暂停输入以将定时器输出信号置于重置状态或是已知状态
- ◆ 中断产生以下事件/DMA:
 - 更新:计数器上溢/下溢，计数器初始化(透过软件或内部/外部触发)
 - 触发事件(计数器起始，停止，初始化或由内部/外部触发计数)
 - 输入捕获(捕获寄存器)
 - 输出比较(计数寄存器配对比较寄存器)
 - 刹车信号输入
- ◆ 外部时钟触发输入或 **cycle-by-cycle** 电流管理

1.16 基本定时器 (BSTIM)

基本定时器(BSTIM)由一可编程预除器驱动之 16 位自动重载计数器构成.其亦可用于多种用途，包含测量输入信号脉冲长度(输入捕获)或产生输出波形(输出比较,PWM).可使用定时预除器与系统时钟控制预除器来调校脉冲长度与波形周期，由数微秒至数毫秒。

功能如下：

- ◆ 16 位递增自动重载计数器。
- ◆ 16 位可编程预分频器，用于对计数器时钟频率进行分频（即运行时修改），分频系数 介于 1 到 65536 之间。
- ◆ 同步化电路可控制定时器含外部信号与链接数个定时器
- ◆ 发生如下事件时生成中断/DMA 请求：
 - 更新：计数器上溢/下溢，计数器初始化(透过软件或内部/外部触发)
- ◆ 外部时钟触发输入或 **cycle-by-cycle** 电流管理

1.17 低功耗定时器 (LPTIM)

LPTIM 是为低功耗应用而设计的 16 位计数器。得益于多种时钟源选择，LPTIM 能够在多种低功耗模式下（SLEEP,STOPx）运行，STANDBY 除外。LPTIM 支持使用外部输入作为时钟源，可以在内部时钟停止的情况下计数。另外，LPTIM 可以将系统从 SLEEP,STOPx 模式唤醒。

功能如下：

- ◆ 16 位向上计数
- ◆ 3 位预分频器支持 8 种分频系数 (1,2,4,8,16,32,64,128)
- ◆ 时钟源

- 内部时钟源: PCLK2, HSI, LSI, LSE, HSE, RPLL
- 外部时钟源: 外部端口输入
- ◆ 16 位 ARR 自动加载寄存器
- ◆ 16 位比较寄存器
- ◆ 连续或单发模式可选
- ◆ 软件或硬件触发可选
- ◆ 可编程滤波器
- ◆ 可配置输出: 脉冲, PWM, 翻转
- ◆ 输出极性可配

1.18 模数转换控制器 (ADC)

ADC 模块是 12 位精度的逐次逼近型模数转换器。它具有多达 8 个复用通道, 可测量来自 8 个外部信号、两个内部信号和 VBAT 电压信号。这些通道的 A/D 转换可在单次、连续、扫描或不连续采样模式下进行。ADC 的结果存储在一个左对齐或右对齐的 16 位数据寄存器中。

ADC 模块具有模拟看门狗特性, 允许应用检测输入电压是否超过了用户自定义的阈值上限或下限。

功能如下:

- ◆ 可配置的转换精度 (6/8/10/12 位)
- ◆ 在规则转换、注入转换结束后以及发生模拟看门狗或溢出事件时产生中断
- ◆ 支持单次或连续转换模式
- ◆ 用于自动将通道 0 转换为通道 “n” 的扫描模式
- ◆ 可配置的数据对齐方式
- ◆ 可独立设置各通道采样时间
- ◆ 可配置外部触发器选项, 可为规则转换和注入转换配置极性
- ◆ 支持不连续采样模式
- ◆ 可配置的参考源选择
- ◆ 可配置的转换时钟分频
- ◆ 规则通道转换期间可产生 DMA 请求

1.19 实时时钟器(RTC)

Real Time Clock (RTC) 可提供使用者准确的时间以及日期资讯, 这些资讯皆以 BCD 的格式储存在 RTC 控制暂存器内, 同时提供使用者自行设定闹铃功能。RTC 的 CLK 来源也分为 3 种供使用者选择, 这 3 种 CLK 分别为外部 32.768K Hz 的晶体震荡器、内部约 32K Hz 的 RC 震荡器以及 PLL 所使用的参考 CLK。当 MCU 处在低功耗模式时, RTC 仍可继续提供准确的时间资讯。

功能如下:

- ◆ 支持日历显示: 年、月、日。
- ◆ 支持时间显示: 星期、小时、分钟、秒。

- ◆ 日历与时间皆以 BCD 格式储存。
- ◆ 支持闰年侦测功能。
- ◆ 支持用户自行设定 RTC 计数器校正功能。
- ◆ 支持用户自行设定闹铃中断功能。
- ◆ 支持年、月、日、星期、小时、分钟、秒的翻转(Rollover)中断。
- ◆ 支持 MCU 在睡眠模式下保持计数。
- ◆ 支持用户自行配置睡眠计数器。
- ◆ 支持最长 16777216 秒(194 天)的睡眠计数。
- ◆ 支持最短 1/16 秒的睡眠计数。
- ◆ 支持侦测日历、时间是否已被清除。

1.20 集成内部总线接口(I2C)

I2C (芯片间) 总线接口连接微控制器和串行 I2C 总线。它提供多主机功能，控制所有 I2C 总线特定的时序、协议、仲裁和定时。 它支持标准模式，快速模式和超快速模式。同时与 SMBus (系统管理总线) 和 PMBus (电源管理总线) 保持兼容。可以使用 DMA 以减轻 CPU 的负担。

功能如下：

- ◆ 从机模式和主机模式
- ◆ 多主机功能
- ◆ 标准模式(高达 100 kHz)
- ◆ 快速模式(高达 400 kHz)
- ◆ 超快速模式(高达 1 MHz)
- ◆ 7 位和 10 位地址模式
- ◆ 多个 7 位从地址(2 个地址，其中一个可屏蔽)
- ◆ 所有 7 位地址应答模式
- ◆ 广播呼叫
- ◆ 可编程建立和保持时间
- ◆ 可选的时钟延长
- ◆ 可编程数字噪声滤波器
- ◆ 深度为 8 的发送/接收 FIFOs
- ◆ DMA 功能
- ◆ SMBus 标准
- ◆ 硬件 PEC(包错误检查)的生成与验证，带 ACK 控制
- ◆ 命令与数据应答控制
- ◆ 支持地址解析协议 (ARP)
- ◆ 主机和设备支持

- ◆ SMBus 报警
- ◆ 超时和空闲状态检测
- ◆ 与 PMBus 版本 1.1 标准兼容

1.21 串行外设接口 1(SPI1)

SPI1 是一个全双工主/从同步串行接口。主机处理器通过总线接口访问 LSSPI 上的数据、控制和状态信息。LSSPI 通过一组 DMA 信号与 DMA 控制器进行连接，LSSPI 可配置为两种操作模式之一：串行主模式或串行从模式。LSSPI 可以使用以下接口之一连接到任何串行主或串行从外围设备：

功能如下：

- ◆ 支持 SPI 串行外围接口
- ◆ 支持 SSP 协议
- ◆ 支持国家半导体微线

1.22 串行外设接口 2(SPI2)

可以使用的 SPI / I2S 接口和外部设备进行基于 SPI 协议和 I2S 音频协议的通信。SPI 或 I2S 模式可通过软件选择。器件复位后默认选中 SPI 模式。

串行外设接口（SPI）协议，支持半双工，全双工和简单同步等方式与外部设备的串行通信。该接口可配置为主机模式，在这种情况下，它向外部的从属设备提供通信时钟（SCK）。界面也能够以多重配置的方式操作。

I2S 音频协议，也是一个同步串行通信接口，使用 3 个外部信号。它可以解决四个不同的音频标准，包括飞利浦的 I2S 标准的 MSB 和 LSB 对齐的标准和 PCM 标准。它可以实现主从模式的半双工通信。I2S 作为主设备的时候可以向外部从设备的提供通信时钟。

功能如下：

- ◆ SPI 主要特性：
 - 主设备或从设备模式
 - 三线全双工同步传输
 - 两条线的半双工同步传输（双向数据线）
 - 两条线的简单同步传输（单向数据线）
 - 8 位到 16 位数据的大小选择
 - 多重模式的能力
 - 8 位主模式波特率分频器。
 - 从模式频率高达 $f_{CLK}/2$ 。
 - 主机和从机模式下都可以由硬件或软件管理 NSS：主/从模式操作的动态变化
 - 可编程时钟极性和相位
 - 高位在前或低位在前可设置
 - 专用的发送和接收状态标志，全部支持中断触发

- SPI 总线忙状态标志
- 支持 SPI 摩托罗拉方式
- 硬件 CRC 功能实现可靠的通信：
 - ◇ CRC 值可以作为 TX 模式的最后一个字节传送
 - ◇ 自动 CRC 错误检查上次接收到的字节
- 支持 Rx 和 Tx FIFO，深度是 16
- 支持 DMA 传输
- 支持 SPI TI 模式
- ◆ I2S 特性：
 - 单工通信（仅发送或接收）
 - 主或从操作
 - 8 位线性可编程分频器，以达到精确的音频采样频率（从 8 kHz 到 96kHz）
 - 数据格式可以是 16 位，24 位或 32 位
 - 音频通道固定数据帧为 16 位（16 位数据帧）或 32 位（16 位，24 位，32 位数据帧）
 - 可编程的时钟极性（稳态）
 - 从发送模式的下溢标志和接收功能（主或从）的溢出标志
 - 16 位的发送和接收寄存器，在通道两端各有一个寄存器
 - 支持的 I2S 协议：
 - ◇ I2S 飞利浦标准
 - ◇ MSB 对齐标准（左对齐）
 - ◇ LSB 对齐标准（右对齐）
 - ◇ PCM 标准（16 位通道帧上带长的或短的帧同步或者 16 位数据帧扩展为 32 位通道帧）
 - 数据方向始终是 MSB 在先
 - 支持发送和接收的 DMA 支持（16 位宽）
 - 主时钟可以向一个外部的音频组件输出。速率固定为 256 倍的 FS（其中 FS 是音频采样频率）
 - 支持 TX 和 RX FIFO，深度是 16
 - 提供 2 路外部时钟输入

1.23 通用异步收发器(UART)

通用同步异步收发器 (UART) 提供了一个灵活的方式，使 MCU 可以与外部设备通过工业标准 NRZ 的形式实现全双工异步串行数据通讯。UART 可以使用分数波特率发生器，提供了超宽的波特率设置范围。

UART 支持非同步通讯模式和半双工单线通讯。也支持 LIN（本地互连网络），智能卡协议和 IrDA

（红外数据协会）SIR ENDEC 规范和 modem 流控操作（CTS_n/RTS_n）同时还支持多机通讯方式。

可以使用 DMA 实现多缓冲区设置，从而能够支持高速数据通讯。

功能如下：

- ◆ 全双工异步通信
- ◆ 16-byte 接收和发送 FIFO
- ◆ 兼容 16C550 标准
- ◆ 可程序设计接收缓冲触发点
- ◆ 支持各信道独立波特率可程序设计
- ◆ 支持自动波特率检测
- ◆ 十二个中断源
- ◆ 可与 DMA 使用
 - 利用 DMA 功能将收/发字节缓冲到保留的 SRAM 空间
- ◆ 内置小数波特率发生器，覆盖范围广的波特率不需要特定值的外部晶体
 - 可编程收发波特率高达 3MHz，最低可达 732Hz(时钟频率为 48MHz)
- ◆ 支持硬件自动流控制/流控制功能（CTS_n、RTS_n），RTS_n 控制流触发点可程序设计
 - Modem 硬件自动控制
 - RS485 发送始能控制
- ◆ 支持 CTS 唤醒功能
- ◆ 支持 IrDA SIR 模式
 - 支持 3/16 位周期调制
- ◆ 支持 RS-485
 - 支持 9-位模式
 - 多处理器通信
- ◆ 完全可程序设计的串行接口特性
 - 可程序设计数据位个数，即 5-,6-,7-,8-,9-位
 - 校验位，奇、偶、无校验或者固定校验位生成和检测可程序设计
 - 停止位长度可程序设计：1，2 位，在智能卡模式中支持 0.5，1.5 位
 - 可设置高位在前或低位在前
- ◆ 单线半双工通讯
- ◆ 交换 Tx/Rx pin 配置
- ◆ LIN 主机的断开信号发送能力和 LIN 从机的断开信号检测能力
 - 将 UART 设置为 LIN 模式时，有 13 位的断开信号发生器与断开信号检测功能
- ◆ 智能卡模式
 - 支持 ISO/IEC7816-3 标准定义的 T=0 和 T=1 智能卡异步协议
 - 智能卡使用的 1.5 停止位长度

- ◆ 支持 ModBus 通讯
 - 超时检测功能
 - CR/LF 字符识别
- ◆ 杂讯侦测

1.24 音频接口 (PDM)

PDM (Pulse Density Modulation) 是一种用数字信号表示模拟信号的调制方法。同为将模拟量转换为数字量的方法, PCM 使用等间隔采样方法, 将每次采样的模拟分量幅度表示为 N 位的数字分量 (N = 量化深度), 因此 PCM 方式每次采样的结果都是 N bit 字长的数据。PDM 则使用远高于 PCM 采样率的时钟采样调制模拟分量, 只有 1 位输出, 要么为 0, 要么为 1。因此通过 PDM 方式表示的数字音频也被称为 Oversampled 1-bit Audio。相比 PDM 一连串的 0 和 1, PCM 的量化结果更为直观简单。

1.25 外置闪存控制器 (LSQSPI)

LSQSPI 闪存控制器用于串行闪存设备的访问。支持标准串行外设接口通信(SPI)和 Quad-SPI 通信。

功能如下:

- ◆ 内存映射“直接”操作模式, 用于执行 FLASH 数据传输和从闪存中执行代码。
- ◆ 软件触发“间接”操作模式, 执行低延迟和非处理器密集型的 FLASH 数据传输
- ◆ 一套软件 AHB 可访问的 FLASH 控制寄存器, 用于执行任何 FLASH 命令
- ◆ 支持 XIP 模式
- ◆ 支持单线、四线 I/O 指令
- ◆ 可编程写入保护区域以阻止系统写入生效。
- ◆ 具有可编程极性的串行时钟
- ◆ 可编程波特率发生器, 产生设备时钟

1.26 蓝牙 (BLE)

BLE5.0/5.1 蓝牙协议

附录 1 封装信息

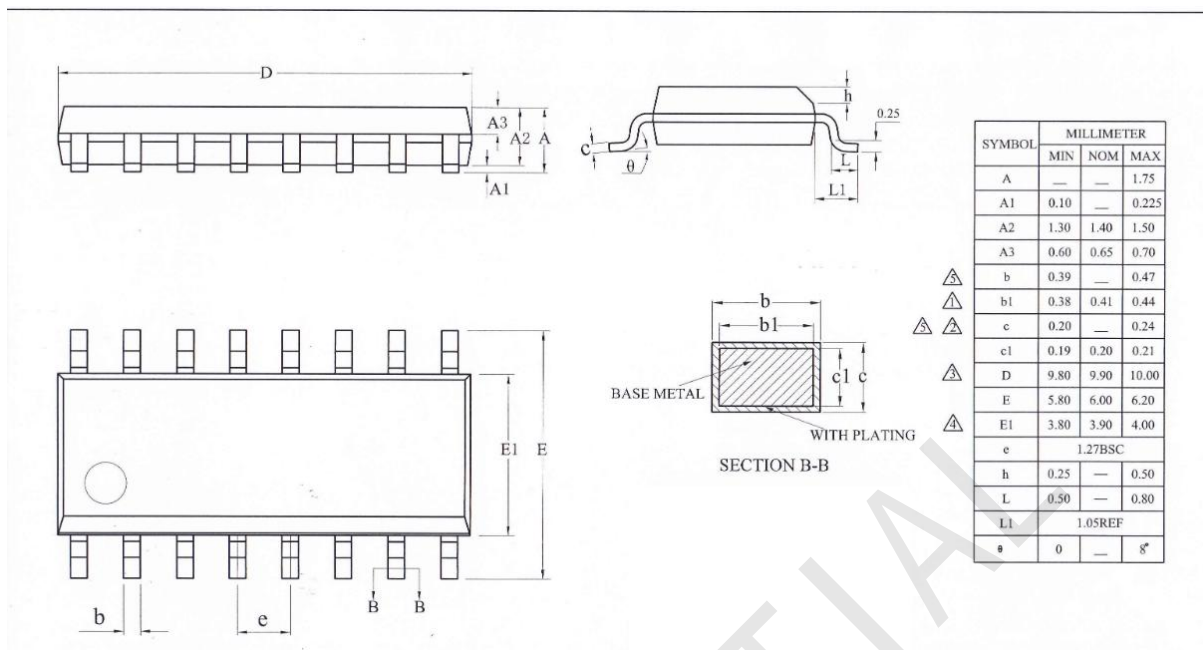


图 1-5 SOP16 外形图

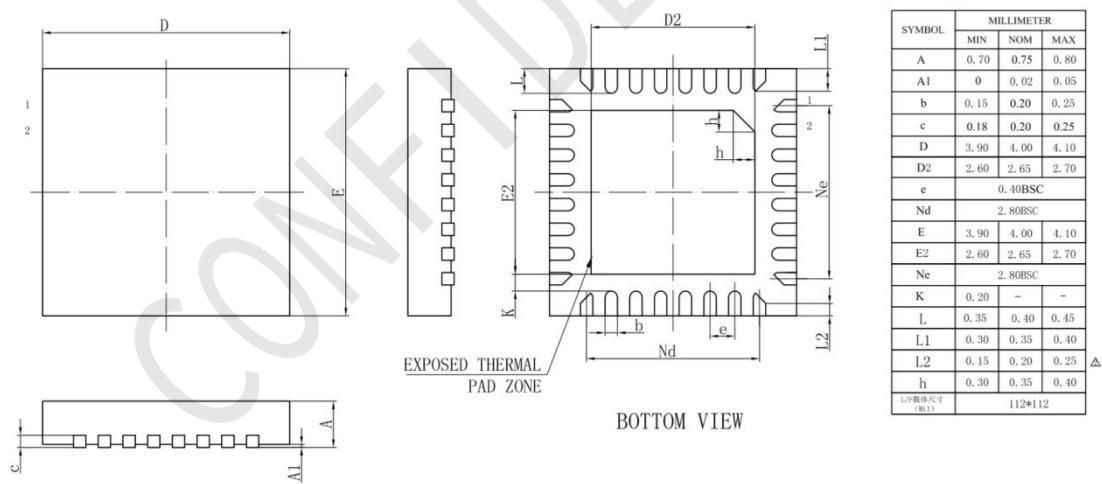


图 1-6 QFN32 外形图

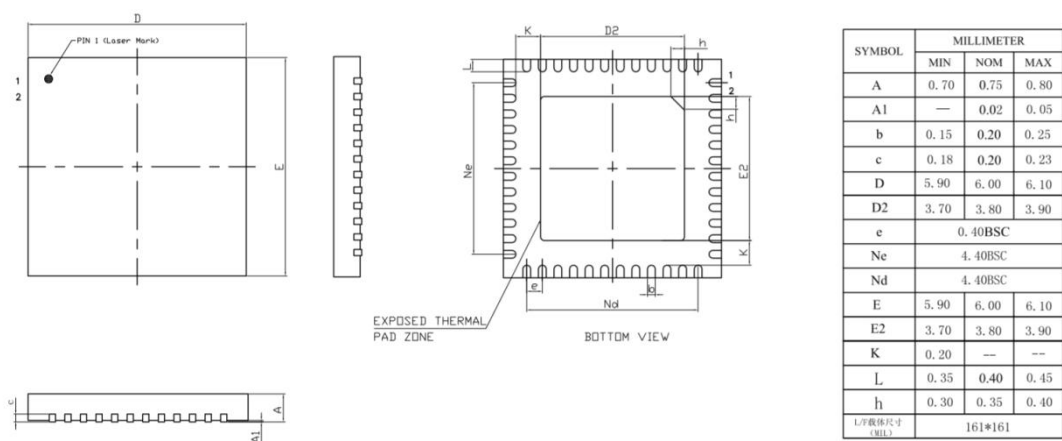


图 1-7 QFN48 外形图